

A/D变换器的误差校正系统

郭洪德 李永

(长春物理研究所)

一、引言

A/D变换器的总精度主要取决于电压比较器的精度，标准电压的精度、放大器和模拟开关的偏移以及电阻比例容差等因素。在太阳磁场望远镜电视接收系统中，为能分辨太阳磁场 $2''$ 以及10个高斯的变化，要求A/D变换器的速度为每秒10万次，精度12位，最大模拟输入信号为4V。按照这一指标，就要求上述影响总精度的各个部分，其误差累计之和（折合到输入端）应小于 $4V \div 2^{12} = 0.97mV$ 。而目前国内创造的电压比较器高档产品如BG307C，其失调电压也在2mV左右，因此如果不采取措施，则仅由于比较器本身的误差就使总精度无法实现。为解决这一问题，我们采用了误差校正技术。误差校正技术彻底地解决了由于比较器所造成的误差问题，使我们可以用低档的电压比较器做成高精度的A/D变换器，同时也带来了其它的一些好处，如降低了对采样保持电路上升时间的要求等等。

二、工作原理

设变换器一个级的输入为 V_i ，输出为 V_{i+1} 。在A/D与D/A转换器两者都是精密的条件下，其输出按锯齿电压从零到+4伏增长。如果比较器有误差，而仅仅是D/A转换器精确，则锯齿电压波就能超过+4伏或者变成负的，但是数字输出的等效电压与 $\frac{1}{8}$ 锯齿电压（因为运算放大器是乘以8倍）幅度之和仍然等于输入电压。若在A/D变换器中某一比较器有 $\pm 0.0625V$ 的比较失误，则输出信号 $V_{i+1}=8(V_i-V_r)$ 的误差就可达0.5伏之多，(V_r 作为D/A转换器的输出电压)。因为在比较电平上的误差等效于在输入电压上的误差，所以，如果发现 V_{i+1} 比+4伏更正或为负值，这分别表示三位A/D转换器中的电压比较器比较得不是太高就是太低。

为了说明这一点，让我们看两个具体例子：

1. 假设 $V_i=3.05$ 伏，参考电压 $V_r=4$ 伏，比较器 cp_6 的转换电平为3.06伏，于是A/D转换器的输出是 $X_p=101$ ， V_r 为2.5伏， $V_{i+1}=8 \times (3.05 - 2.5) = 4.4$ 伏。如果比较器没有误差，其转换电平应为3伏，A/D转换器的正确输出应该是 $X_p=110$ 。因此，在 $V_{i+1} > 4$ 伏的情况下，表示三位A/D转换器的输出低了一个单位增量。

2. 假设 $V_i=2.95$ 伏， $V_r=4$ 伏，比较器 cp_6 的转换电平为2.94伏，于是三位A/D转换器的输出是 $X_p=110$ ， V_r 变就3伏， $V_{i+1}=8 \times (2.95 - 3) = -0.4$ 伏。如果比较器是精确的，那么三位A/D转换器的输出应是 $X_p=101$ 。所以，在 $V_{i+1} < 0$ 伏的情况下，表示三位A/D转换器的输出高了一个单位增量。

显然，在上述两种情况中，都应校正比较器的误差。我们用两个附加的比较器，其中之一用来检测当 V_{1+1} 大于 ± 4 伏的情况，而另一个则用来检测当 V_{1+1} 小于 0 伏的情况。将三位 A/D 转换器的输出送入加法器，用检测出来的误差信号来增加或减少三位 A/D 转换器的输出，即在加法器中加 1 或减 1，从而校正了由于比较器所造成的误差，同时在模拟通道中也由误差信号做相应的增加或减小 0.5 伏的处理。

三、约束条件和时间分配

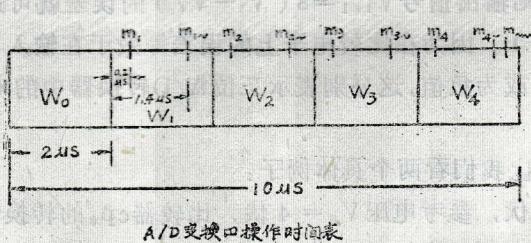
根据总体指标精度为 12 位，速度为 10 万次，采用部分级联式 A/D 变换器。考虑到取样保持电路及运算放大器能做到的指标及所用设备量的情况，选定每级为三位，共四级相串联，即三并四串的部分级联式 A/D 变换器。

因为每秒变换 10 万次，所以每次变换时间为 $10\mu s$ 。根据采样保持器上升至 99.9% 以上所需时间为 $2.3\mu s$ ，故分配给采样保持时间为 $2\mu s$ ，之所以在 $2\mu s$ 后即可开始变换，是因为在加了误差校正之后，采样保持器只要在 $8\mu s$ 之内能达到 99.99%，即能保证总精度。由取样上升时间所造成的误差，完全可以由误差校正给以改正。

剩下的 $8\mu s$ 时间分配给变换器。变换器为四级串联，故每一级时间为 2 微秒。在每一级变换中需要两个接收脉冲，第一个接收脉冲是将相应级的三位编码的数字信号送到相应的中间寄存器和加法器中去。这个脉冲的时间选定取决于比较器的时间延迟和三位编码的时间延迟，每三位编码最多通过四级门，每级门延迟 $20ns$ ，比较器翻转延迟小于 $60ns$ ，所以第一脉冲的时间延迟应选为 $20 \times 4 + 60 = 140ns$ 之后，取 $200ns$ ，脉冲宽度 $200ns$ 。

第二个接收脉冲 m_2 是用来将校正过的数据存入中间寄存器的，因此它的时间选取应在第一脉冲之后，再加上 12 位加法器的最长加法时间，同时要考虑控制门的时间延迟。加法器和控制门最多不超过 15 级，每门延迟 $40ns$ ，故为 $40 \times 15 = 600ns$ ，再考虑留出一定余量，故选在第一脉冲结束后 $1\mu s$ ，脉冲宽度 $200ns$ 。

综上所述，可以画出每次变换的操作时间表如下：



上表中 W 表示电位， m 表示脉冲，脚标 \sim 表示延迟。其中 W_0 为采样保持上升时间， W_1 至 W_4 分别为四级变换时间。各脉冲的功用如下：

m_1 ：将第一级的变换结果送入寄存器和加法器的最高三位中去。

m_2 ：如第一级变换不出错，则将本级变换的结果存入相对应的三位寄存器和加法器中；如第一级变换有错误，则此脉冲被封住。

$m_{2\sim}$ ：如第一级变换有错，则误差信号送入加法器中，在加法器中形成前六位的正确数。

据，由 m_2 脉冲将正确的数据接收到寄存器中。如果第一级变换没有出错，则 m_2 脉冲被封住。

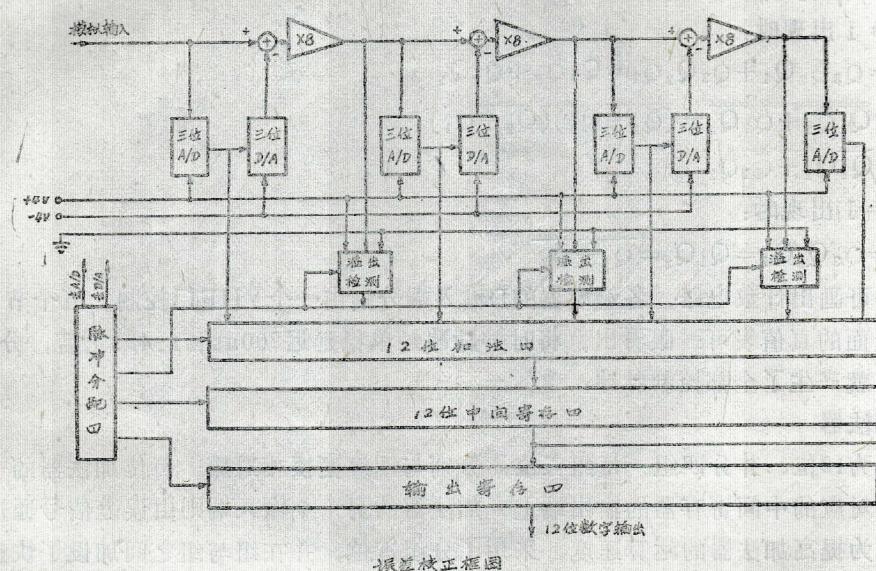
m_3 ：此时的误差信号将检测出第二级变换是否出错，如未出错，则将本级的变换结果由 m_3 脉冲送入对应的寄存器和加法器中。如出错，则封住此脉冲，将误差信号送入加法器，对以前的变换结果进行修正，同时形成本级变换的正确结果。

$m_3 \sim$ ：如第二级变换没有出错，则此脉冲被封住；如第二级变换有错误，则由此脉冲将正确的结果接收到寄存器中。

m_4 ：此时如果第三级变换不出错误，这个脉冲就将本级变换结果存入寄存器中；如第三级变换有错，则将误差信号送入加法器中对前三级变换结果进行修正，同时形成本级变换的正确结果。

$m_4 \sim$ 此脉冲将校正后的数据接收到寄存器中。

$m_{\sim \sim}$ ：此脉冲将中间寄存器中每次变换后的正确数据接收到输出寄存器中，便于计算机随时取数。



四、逻辑设计

整个校验系统由脉冲分配器、加法器，中间寄存器，输出寄存器以及控制门电路组成。

1. 脉冲分配器

脉冲分配器提供A/D变换器工作所需要的全部控制电位和脉冲。

它是由三个D触发器采用逻辑门计数法来进行设计的，这种设计方法是每来一个计数脉冲时，计数器的各位触发器的信号是“1”还是“0”，是靠逻辑关系决定的。

这里三位触发器 C_3-C_1 ，最初 $Q_3=Q_2=Q_1=0$ ，这时我们希望 D_3-D_1 上有信号001，这样计数脉冲一来（同时加在 C_3-C_1 的cp上） Q_3-Q_1 就变成了001，当 Q_3-Q_1 为001时，我们希望 D_3-D_1 上有010，这样计数脉冲一来 Q_3-Q_1 就变成了010，……，当 Q_3-Q_1 为

100时，此时已够五个节拍，因此我们希望 D_3-D_1 上为000，这样即可重复这五个节拍过程。我们可以列出 Q_3-Q_1 与 D_3-D_1 的逻辑关系如下表所示：

真值表

| Q_3 | Q_2 | Q_1 | C_3 | D_2 | D_1 | |
|-------|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 | 1 | W_0 |
| 0 | 0 | 1 | 0 | 1 | 0 | W_1 |
| 0 | 1 | 0 | 0 | 1 | 1 | W_2 |
| 0 | 1 | 1 | 1 | 0 | 0 | W_3 |
| 1 | 0 | 0 | 0 | 0 | 0 | W_4 |

根据上面的真值表可以写出如下的逻辑关系式，并用布尔代数化简，有

$D_1 = 1$ 时：

$$D_1 = \overline{Q_3} \overline{Q_2} \overline{Q_1} + \overline{Q_3} Q_2 \overline{Q_1} = \overline{Q_1} \overline{Q_3} = \overline{Q_1} + \overline{Q_3}$$

$D_2 = 1$ 出现时：

$$\begin{aligned} D_2 &= \overline{Q_3} \overline{Q_2} Q_1 + \overline{Q_3} Q_2 \overline{Q_1} = Q_1 \overline{Q_2} + \overline{Q_1} Q_2 \\ &= \overline{Q_1} Q_2 + Q_1 \overline{Q_2} = (Q_2 + Q_1)(\overline{Q_2} + Q_1) \\ &= \overline{Q_1} Q_2 + Q_1 \overline{Q_2} \end{aligned}$$

$D_3 = 1$ 出现时：

$$D_3 = \overline{Q_3} Q_2 Q_1 = Q_1 Q_2 = \overline{Q_1} + \overline{Q_2}$$

由此即可画出计数电路。各触发器的D输入端分别由一个YHF门控制。五个节拍电位的译码从上面的真值表可一眼看出。将时钟脉冲经单稳延迟200ns和1.4μs之后，分别与各电位相与，就产生了全部控制脉冲。

2. 加法器

加法器为12位，并分四组，每组三位，分别与四级变换相对应。每位加法器的一个输入端分别联到对应的中间寄存器的输出端上，加法器的另一个输入端则由误差信号通过控制门电路控制。为提高加法器的运算速度，采用了分组进位，并在组与组之间加设了快速进位通道，这样就使进位信号在小组之内以及组与组之间都能并行传送，使得各位加法器能同时并行工作。12位加法器做一次加法的最长时间小于400ns。

3. 中间寄存器

由12位D触发器组成，分为四组，每组三位，分别与12位加法器对应。它的作用是存放各级变换的初始结果以及逐级被校正后的结果。每个触发器均有两个输入，一个是接收本级变换数据的入口，另一个是接收被校正后的数据入口。

我们假定比较器的失调电压小于±0.62mv，（这是极易实现的，因为一般低档的比较器其失调电压也小于±30mv），那么由于这一误差经运放乘以8倍以后，折算到下一级为 $0.062 \times 8 = 0.496$ 伏，即小于下一级的一个单位增量0.5伏。此外，我们应注意前级的一个单位增量等于下一级的八个单位增量。

据此我们来看本寄存器的工作：第一级变换产生三位数字信号，被接收到寄存器中的最

高三位中去，同时也被送入加法器，在第二级变换时，若两个溢出比较器均无信号，则说明第一级的变换结果是正确的，不予纠正，而将第二级的变换结果存入此寄存器中。如果溢出比较器给出大于4伏的信号，则表示第一级变换少了一个单位增量，这时用此误差信号去给第一级变换结果加1（相当于本级的8个单位增量），同时将本级的变换结果改为000，（此时本级的编码必为111，故此需予纠正）存入寄存器。如果溢出比较器给出负值，则表示前级变换多记了一个单位增量，这时此误差信号一方面去给前级变换结果减1（相当本级八个单位增量），同时将本级变换结果修正为111，（此时本级的变换结果为000，故需修正）。第三级与第四级的变换经过系重复上述过程，不再赘述。

4. 输出寄存器

在每次变换中，中间寄存器的内容只有在第四级的校正过程结束之后，才可认定其整个内容是可靠的，而在此之前则不一定可靠，因此在一次变换的校正结束之后，将中间寄存器的内容取入输出寄存器，以便计算机可随时取得正确的变换结果，它由12个D触发器组成。

五、结 束 语

通过中速高精度A/D变换器的设计和调试，证明了误差校正技术的采用彻底地解决了由于比较器所造成的误差，对整个模数转换器高精度的实现做出了贡献。

THE CORRECTING-ERROR SYSTEM OF A A/D CONVERTOR

Guo Hong-de, Li Yong

(Chang chun Institute of physics,)

Abstract

There are severe standards for the drifts of voltage comparator, standard voltage, amplifier and analog switch when we use a A/D convertor with 4V maximum analog input and 12 bit accuracy. If we neglect other errors, the error of comparator must be smaller than $4V/10=0.97mV$. Therefore we had to use a correcting-error method. For a part-series A/D convertor, the next stage's positive-negative spill signal is used as correcting-error signal. Suppose the every stage's output is 3 bit, the drift-voltage of comparator must be smaller than $0.5V/2=62.5mV$. So the comparators with drift voltage smaller than 62.5 mV can be used. This paper describes the correcting error system of a A/D convertor which has three parallel and four series stage. The paper also presents the diagram of system, the design of practical word-order and the logicdesign.